

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044283

(43)Date of publication of application : 16.02.2001

(51)Int.Cl. H01L 21/82  
G06F 17/50(21)Application number : 11-210752 (71)Applicant : NEC IC MICROCOMPUT  
SYST LTD

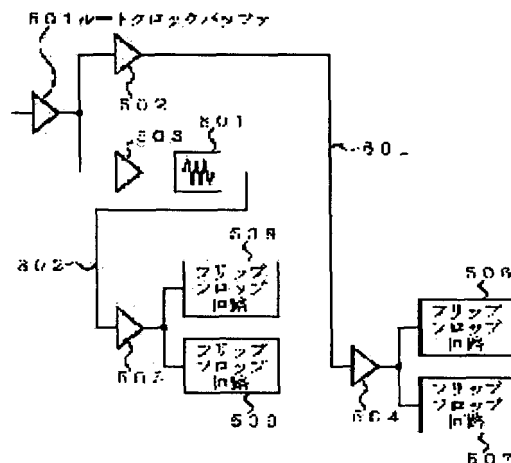
(22)Date of filing : 26.07.1999 (72)Inventor : TAMURA NAOKAZU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND AUTOMATIC LAYOUT AND  
WIRING METHOD OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit, where a clock skew can be adjusted automatically, and redundant wiring or redundant cell are lessened in area.

SOLUTION: A wiring 802 connected between a clock buffers 503 and 505 is laid, so as to be reduced to an irreducible minimum in length, a clock skew between the clock buffers 503 and 505 is set equal to that between clock buffers 502 and 504, by regulating the wiring capacitance of the wiring 802 and the resistance of a fill cell resistor 801. With this setup, a wiring making a detour can be lessened in the wiring length by the wiring 802.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection][Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection][Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-44283  
(P2001-44283A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/82		H 0 1 L 21/82	C 5 B 0 4 6
G 0 6 F 17/50		G 0 6 F 15/60	6 5 8 K 5 F 0 6 4
			6 5 8 U

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21) 出願番号 特願平11-210752

(22) 出願日 平成11年7月26日 (1999.7.26)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会  
社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 田村 直和

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

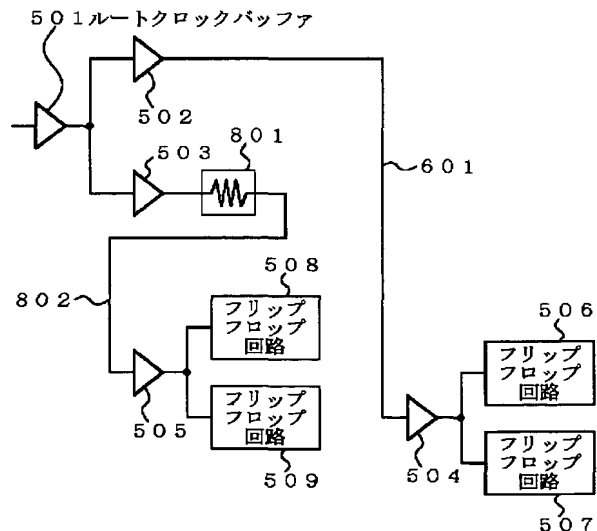
最終頁に続く

(54) 【発明の名称】 半導体集積回路の自動配置配線方法及び半導体集積回路

(57) 【要約】

【課題】 クロックスキューの調整が自動的に可能であり、冗長の配線面積又は冗長のセル面積が小さい半導体集積回路の自動配置配線方法及び半導体集積回路を提供する。

【解決手段】 クロックバッファ503とクロックバッファ505との間を接続する配線802は、最小配線長で配線され、配線802に付随する配線容量とフィルセル抵抗801の抵抗値で、クロックバッファ503とクロックバッファ505間のクロックスキューを、クロックバッファ502とクロックバッファ504間のクロックスキューに等しくなるように調整する。このようにして、配線802が迂回する配線の配線長を大幅に短くすることができ、冗長の配線面積又は冗長のセル面積を小さくすることができる。



## 【特許請求の範囲】

【請求項1】 高電位の電源配線部と低電位の電源配線部が配置された複数の機能セルと、複数のクロック信号配線を駆動するルートクロックバッファと、前記機能セルのクロック端子にクロック信号を出力するクロックバッファとを含むセルのレイアウト情報が格納されているセルライブラリを参照して、前記セルを自動的に配置し、配置した前記セル間を自動的に配線する半導体集積回路の自動配置配線方法において、前記複数の機能セルを水平方向に配置し、次に水平方向に配置された複数の前記機能セルを含むセル行を複数行配列する第1のステップと、前記セル行を構成する前記複数の機能セル間の前記セル行内の空き領域に、高電位の電源配線部と低電位の電源配線部とが配置されさらに抵抗であるフィルセル抵抗が設けられたフィルセルを配置する第2のステップと、前記半導体集積回路の回路接続情報に基づき、前記機能セル間及び、前記ルートクロックバッファの出力端子から複数の前記クロックバッファの入力端子までの複数のクロック信号配線とを配線する第3のステップと、前記クロック信号配線の配線情報と前記ルートクロックバッファ及び前記クロックバッファの電気的特性とから、前記複数のクロック信号配線の遅延時間と前記複数のクロック信号配線に対応したクロックスキュー値を算出する第4のステップと、前記複数のクロック信号配線に対応した前記ルートクロックバッファの出力端子と前記各クロックバッファの入力端子とのクロック信号接続情報のうち、前記遅延時間の最大値を有する前記クロック信号接続情報を除き、他の前記クロック信号接続情報にそれぞれ遅延調整用の抵抗を挿入する第5のステップと、前記クロックスキュー値が設定値以下となるように、前記遅延調整用の抵抗の抵抗値を設定する第6のステップと、前記ルートクロックバッファの配置位置から所定内の距離にある前記フィルセルを選択する第7のステップと、前記第7のステップで選択された前記フィルセル内の前記フィルセル抵抗を、前記第6のステップで設定された抵抗値になるように前記フィルセル抵抗のレイアウトを行う第8のステップと、前記第3のステップで配線されたクロック信号配線を削除し、前記回路接続情報と、前記第7のステップで選択した前記フィルセル抵抗を介して、前記ルートクロックバッファの出力端子から前記各クロックバッファの入力端子までのクロック信号配線を配線する第9のステップとを含んで、前記クロックスキューの調整を行うことを特徴とする半導体集積回路の自動配置配線方法。

【請求項2】 前記第3のステップにおいて、前記フィルセルの高電位の電源配線部と低電位の電源配線部とを、それぞれ前記フィルセルに隣接する前記機能セルの

前記高電位の電源配線部と前記低電位の電源配線部とに配線することを特徴とする請求項1記載の半導体集積回路の自動配置配線方法。

【請求項3】 前記第5のステップの後に、前記第3のステップで配線されたクロック信号配線を削除し、前記遅延調整用の抵抗が挿入された前記クロック信号配線情報に対応した配線を最小の長さで配線し、前記第4のステップを用いて前記クロックスキューを再度算出し、続いて前記第6のステップを実行することを特徴とする請求項1記載の半導体集積回路の自動配置配線方法。

【請求項4】 前記抵抗の抵抗値が異なる複数の前記フィルセルを前記セルライブラリに登録しておき、このセルライブラリから前記第6のステップで定めた抵抗値に最も近い抵抗を設けた前記フィルセルを選択し、このフィルセルを前記第7のステップで選択した前記フィルセルに置換する前記第8のステップを含む請求項1記載の半導体集積回路の自動配置配線方法。

【請求項5】 前記第8のステップにおいて、前記フィルセルを複数用い、これらのフィルセルにそれぞれ設けられた前記抵抗を、直列接続又は並列接続あるいは直列接続と並列接続を組み合わせて配線することを特徴とする請求項1記載の半導体集積回路の自動配置配線方法。

【請求項6】 前記フィルセル内に複数の抵抗を設け、前記複数の抵抗の接続を変更することにより、複数の抵抗値を得るように構成した前記フィルセルを用いる請求項1記載の半導体集積回路の自動配置配線方法。

【請求項7】 前記抵抗は、ポリシリコン抵抗又はタングステン抵抗、モリブデン抵抗、シリコンクロム抵抗、クロム合金抵抗などの薄膜抵抗により形成されることを特徴とする請求項1記載の半導体集積回路の自動配置配線方法。

【請求項8】 前記セル列を構成する複数の前記セルと前記フィルセルの高さは、等しいことを特徴とする請求項1記載の半導体集積回路の自動配置配線方法。

【請求項9】 セルベースの半導体集積回路において、前記半導体集積回路の回路接続情報に基づいて配置された機能セルと、前記配置された機能セルに電源を供給するためにセル領域に挿入されたフィルセルを有し、このフィルセルに抵抗素子を設け、クロック信号のスキューに応じてフィルセルの抵抗素子を用いて、前記クロック信号のスキューを調整するようにしたクロック信号配線を備えたことを特徴とする半導体集積回路。

【請求項10】 前記フィルセルは複数の抵抗値を有することを特徴とする請求項9記載の半導体集積回路。

【請求項11】 それぞれ異なる抵抗値を有する複数の前記フィルセルを備えたことを特徴とする請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はセルベース方式など

の半導体集積回路の自動配置配線方法及び半導体集積回路に関し、特に信号伝搬遅延時間を調整することができる半導体集積回路の自動配置配線方法及び半導体集積回路に関する。

【0002】

【従来の技術】最近、集積回路において大規模化、高速化が著しく、このことから、クロック信号を必要とする回路に伝送されるクロック信号の各回路間でのクロックスキューと呼ばれる位相ずれが、大きな問題となってきた。

【0003】従来、クロック信号をフリップフロップ回路に供給するクロック信号配線に遅延調整用のクロックバッファを追加したり、冗長配線を行ったりして遅延調整を行ってきた。

【0004】上述した第1の従来の半導体集積回路の自動配置配線方法について、図11を用いてより詳細に説明する。

【0005】図11において、501はルートクロックバッファ、504はフリップフロップ回路506、507を駆動するクロックバッファ、505はフリップフロップ回路508、509を駆動するクロックバッファである。ルートクロックバッファ501の出力の位置をP1、クロックバッファ504の入力の位置をP2、クロックバッファ505の入力の位置をP3、点P1から点P2までの配線長をL1、この配線の配線抵抗をR(L1)、配線容量をC(L1)、点P1から点P3までの配線長をL2、この配線の配線抵抗をR(L2)、配線容量をC(L2)とする。

【0006】点P1から点P2までの配線遅延は、ルートクロックバッファ501の駆動能力、配線抵抗R(L1)、配線容量をC(L1)及びクロックバッファ506の入力容量などにより定まり、同様に、点P1から点P3までの配線遅延は、ルートクロックバッファ501の駆動能力、配線抵抗R(L2)、配線容量をC(L2)及びクロックバッファ505の入力容量などにより定まる。

【0007】本従来例では、配線長L2の長さを迂回させることにより調整し、配線抵抗R(L2)、配線容量をC(L2)を変化させて、ルートクロックバッファ501の出力からクロックバッファ504の入力までの遅延と、ルートクロックバッファ501の出力からクロックバッファ505の入力までの遅延との差を調整する。

【0008】また第2の従来例として、特開平7-86415号公報に記載されているように、クロックバッファに複数の容量素子を予め配置しておき自動配線の際、クロックバッファから配線を容量素子の上を通過するように配線させ、自動配置配線終了後、配線容量に応じて容量素子に接続し信号伝播遅延時間を調整する方法もある。

【0009】

【発明が解決しようとする課題】上述した従来の半導体集積回路の自動配置配線方法は、クロック配線を迂回させたり、容量素子を追加挿入するため、配線面積やセル面積が増大し、その結果チップ面積が増大するという問題点がある。

【0010】また、迂回配線を行うことにより、配線領域の混雑度が増加し、デザインルールを考慮した配線の収束性が悪化するため配線工程のやり直しが増え、自動配置配線の設計期間が長期化するという問題がある。

【0011】このため、本発明の目的は、同期回路においてクロックスキューの調整が自動的に可能であり、冗長の配線面積又は冗長のセル面積が小さい半導体集積回路の自動配置配線方法及び半導体集積回路を提供することにある。

【0012】さらに、本発明の他の目的は、フィルセル内の抵抗を用いて遅延調整を行うことによりチップ面積の縮小が可能な半導体集積回路の自動配置配線方法及び半導体集積回路を提供することにある。

【0013】また、迂回配線が減少し、かつ配線長も短くなることで配線領域の混雑度が減少し、配線の収束性が向上することによる自動配線での設計期間が短縮可能な半導体集積回路の自動配置配線方法及び半導体集積回路を提供することにある。

【0014】

【課題を解決するための手段】そのため、本発明による半導体集積回路の自動配置配線方法は、高電位の電源配線部と低電位の電源配線部が配置された複数の機能セルと、複数のクロック信号配線を駆動するルートクロックバッファと、前記機能セルのクロック端子にクロック信号を出力するクロックバッファを含むセルのレイアウト情報が格納されているセルライブラリを参照して、前記セルを自動的に配置し、配置した前記セル間を自動的に配線する半導体集積回路の自動配置配線方法において、前記複数の機能セルを水平方向に配置し、次に水平方向に配置された複数の前記機能セルを含むセル行を複数行配列する第1のステップと、前記セル行を構成する前記複数の機能セル間の前記セル行内の空き領域に、高電位の電源配線部と低電位の電源配線部とが配置されさらに抵抗であるフィルセル抵抗が設けられたフィルセルを配置する第2のステップと、前記半導体集積回路の回路接続情報に基づき、前記機能セル間及び、前記ルートクロックバッファの出力端子から複数の前記クロックバッファの入力端子までの複数のクロック信号配線とを配線する第3のステップと、前記クロック信号配線の配線情報と前記ルートクロックバッファ及び前記クロックバッファの電気的特性とから、前記複数のクロック信号配線の遅延時間と前記複数のクロック信号配線に対応したクロックスキュー値を算出する第4のステップと、前記複数のクロック信号配線に対応した前記ルートクロックバッファの出力端子と前記各クロックバッファの入力端

子とのクロック信号接続情報のうち、前記遅延時間の最大値を有する前記クロック信号接続情報を除き、他の前記クロック信号接続情報にそれぞれ遅延調整用の抵抗を挿入する第5のステップと、前記クロックスキュー値が設定値以下となるように、前記遅延調整用の抵抗の抵抗値を設定する第6のステップと、前記ルートクロックバッファの配置位置から所定内の距離にある前記フィルセルを選択する第7のステップと、前記第7のステップで選択された前記フィルセル内の前記フィルセル抵抗を、前記第6のステップで設定された抵抗値になるように前記フィルセル抵抗のレイアウトを行う第8のステップと、前記第3のステップで配線されたクロック信号配線を削除し、前記回路接続情報と、前記第7のステップで選択した前記フィルセル抵抗を介して、前記ルートクロックバッファの出力端子から前記各クロックバッファの入力端子までのクロック信号配線を配線する第9のステップとを含んで、前記クロックスキューの調整を行うことを特徴としている。

【0015】また、本発明による半導体集積回路は、セルベースの半導体集積回路において、タイミング制約条件に基づいて配置された機能セルと、前記配置された機能セルに電源を供給するためにセル領域に挿入されたフィルセルを有し、このフィルセルに抵抗素子を設け、クロック信号のスキューに応じてフィルセルの抵抗素子を用いて、前記クロック信号のスキューを調整するようにしたクロック信号配線を備えたことを特徴としている。

【0016】

【発明の実施の形態】次に、本発明の半導体集積回路の自動配置配線方法及び半導体集積回路の第1の実施の形態について図面を参照して説明する。

【0017】初めに、本発明の半導体集積回路の自動配置配線方法及び半導体集積回路で用いるフィルセル100について、図1(a)、(b)を参照して説明する。

【0018】図1(a)は、フィルセル100のレイアウト図であり、通常のフィルセルが有している電源配線部101、GND配線部102、Nウェル104、Pウェル105の他に、抵抗本体部103a、抵抗コンタクト部103b、103cからなるフィルセル抵抗103を備えている。

【0019】次に図1(b)に、フィルセル100A、100B、100Cを同一高さを有する機能セル111~117の間にレイアウトした例を示す。この場合、機能セル111~117及びフィルセル100A~Cのセルの高さは共通であり、電源配線部101、GND配線部102のレイアウトも共通化しているため、機能セル111~117及びフィルセル100A~Cを配置するだけで、電源配線部101、GND配線部102は、それぞれ水平方向に連続して配線される。

【0020】同様に、Nウェル104、Pウェル105も水平方向に連続して配置されるため、Nウェル10

4、Pウェル105は、それぞれ一つの共通領域に統合される。

【0021】フィルセル抵抗103を構成する抵抗本体部103aは、ポリシリコン抵抗や、タングステン抵抗、モリブデン抵抗、シリコンクロム抵抗、クロム合金抵抗などの薄膜抵抗等、配線抵抗よりも大きい抵抗により形成される。抵抗値は抵抗長を $l$ 、抵抗幅を $w$ とすると、 $l/w$ に比例するので、抵抗値より $l/w$ を算出して、必要とする抵抗長 $l$ 、抵抗幅 $w$ を求める。なお、ポリシリコン抵抗、タングステン抵抗、モリブデン抵抗等の薄膜抵抗は、電圧依存性が少なく、容量成分を無視してほぼ純抵抗と見なして良い。

【0022】以上説明したように、本発明の半導体集積回路の自動配置配線方法及び半導体集積回路で用いるフィルセル100は、電源配線部101、GND配線部102及びNウェル104、Pウェル105を水平方向に連続して配置し、Nウェル104が電源電圧に、Pウェル105がGND電圧に安定してバイアスされる作用の他に、通常デッドスペースとなっているフィルセル100内部に、フィルセル抵抗103を設けている点が特徴である。

【0023】本発明の半導体集積回路の自動配置配線方法及び半導体集積回路では、クロック信号配線の配線抵抗及び配線容量だけでなく、フィルセル100内のフィルセル抵抗103を用いて、クロック信号のスキュー調整を行う。

【0024】抵抗と容量で遅延時間を計算する方法として、Elmore遅延モデルやSPICEを使用して求める方法がある。Elmore遅延モデルによれば、配線で生じる配線遅延は、着目している配線箇所までの抵抗と信号が伝達する配線容量との積で計算できる。

【0025】Elmore遅延モデルによる遅延時間の計算方法を図2で説明する。

【0026】図2において、クロックバッファ201から分岐点Vを通過してクロックバッファ202、203に分岐する場合の遅延時間を計算する。クロックバッファ201から分岐点Vまでの配線抵抗204の抵抗値を $R_1$ 、分岐点Vからクロックバッファ202までの配線抵抗205の抵抗値を $R_2$ 、分岐点Vからクロックバッファ203までの配線抵抗206の抵抗値を $R_3$ 、クロックバッファ201から分岐点Vまでの配線容量207の容量値を $C_1$ 、分岐点Vからクロックバッファ202までの配線容量208の容量値を $C_2$ 、分岐点Vからクロックバッファ203までの配線容量209の容量値を $C_3$ 、クロックバッファ202の入力容量値を $C_{i2}$ 、クロックバッファ203の入力容量値を $C_{i3}$ とした場合、クロックバッファ201からクロックバッファ202での遅延時間 $T_1$ はElmore遅延モデルより次式で求まる。

【0027】

$$T1 = R1 \times \{C1/2 + (C2 + Ci2 + C3 + Ci3)\} + R2 \times (C2/2 + Ci2) \quad \dots (1)$$

次に本発明の半導体集積回路の自動配置配線方法及び半導体集積回路において、抵抗付フィルセル100を図2に示すクロックバッファ201の出力と分岐点Vの途中に挿入し、他の条件については変更しない場合の遅延時間について図3を用いて説明する。なお、図2と共通の要素には共通の符号を付している。

【0028】図3において、クロックバッファ201から分岐点V2までの任意の個所に、本発明によるフィルセル抵抗を内蔵したフィルセル301を挿入しその抵抗値をRx、クロックバッファ201からフィルセル301までの配線抵抗204aの抵抗値をR11、フィルセル301から分岐点V2までの配線抵抗204bの抵抗値をR12、クロックバッファ201からフィルセル301までの配線容量207aの容量値をC11、フィルセル301から分岐点V2までの配線容量207bの容量値をC12とする。

$$R11 + R12 + Rx \quad R1 + Rx \quad \dots (2)$$

と計算することができるので、遅延時間T2は次式で求められる。

$$T2 = (R1 + Rx) \times \{ (C11 + C12) / 2 + (C2 + Ci2 + C3 + Ci3) \} + R2 \times (C2 / 2 + Ci2) \quad \dots (3)$$

(1)式、(2)式より $T1 = T2$ となる抵抗値Rxを求めると、

$$R1 \times \{C1/2 + (C2 + Ci2 + C3 + Ci3)\} + R2 \times (C2/2 + Ci2) = (R1 + Rx) \times \{ (C11 + C12) / 2 + (C2 + Ci2 + C3 + Ci3) \} + R2 \times (C2/2 + Ci2) \quad \dots (4)$$

となる。計算の便宜上、 $C2 + Ci2 + C3 + Ci3 = A$ とすると(4)式から、次の(5)式を得る。

$$Rx = R1 \times \{ (C1 + 2A) / (C1 + 2A) - 1 \} \quad \dots (5)$$

(5)式から容易にわかるように、配線容量で遅延させた信号を配線容量を減らした割合に応じたフィルセル抵抗103を用いることで、配線容量と同等の遅延を生じさせることが可能である。すなわち、迂回配線を短くし、その分、減少した容量に応じたフィルセル抵抗103を用いることでクロックスキューの調整が可能である。

【0034】次に、図4に示すフローチャートを参照して、本発明の半導体集積回路の自動配置配線方法の設計フローについて説明する。

【0035】図4に示すように、自動配置工程S11で、セルライブラリ(図示せず)に用意されている複数の機能セルが、半導体集積回路の回路接続情報とタイミング制約に基づいて、水平方向に自動配置され、次に水平方向に配置された複数の機能セルを含むセル行を複数行自動配置される。このとき、自動配置された機能セルに電源を供給するために、フィルセルが水平方向に配列された各セル列内の空き領域全面に渡って配置可能な分だけ配置される。

【0036】次にクラスタ作成工程S12で、相互に関連している機能セルを幾つかのクラスタと呼ばれるグループに分割する。

量値をC12とする。

【0029】ここで、 $R11 + R12 = R1$ 、 $C11 + C12 = C1$ が成立する。

【0030】初めに、クロックバッファ201からクロックバッファ202までの遅延時間T2を求める。

【0031】ここでアルミニウムのような層抵抗の小さい金属(約50mΩ/□以下)で配線し、ポリシリコンのような層抵抗の大きい物質(約50Ω/□)でフィルセル301を構成するフィルセル抵抗103を形成した場合、アルミニウム配線の配線抵抗は、ポリシリコン抵抗に較べて各段に小さいので、フィルセル301を挿入した部分のアルミニウム配線部分の抵抗値の減少は無視して良い。

【0032】そこで

【0033】

【0037】負荷容量見積もり工程S13では、各クラスタ毎に負荷(配線容量+入力容量)を見積もり、クロックバッファ挿入工程S14において、見積った負荷に応じて配線遅延が均等になるようにクロックバッファを挿入する。

【0038】遅延時間の算出工程S15では、クロックバッファ挿入工程S14で挿入されたクロックバッファも含めて配線の配線経路を決定し、その配線経路の遅延時間を(1)式1又はSPICEシミュレーションにより算出する。

【0039】遅延時間の算出工程S15で算出された遅延時間により生じるクロックスキューを減らすために、等遅延配線工程S16で遅延時間が最大になる配線に負荷を合わせるようにし、他の配線は迂回させて配線長を増やしクロックスキューの調整を行う。

【0040】次に図5、図6を用いて等遅延配線工程S16のより詳細な説明をする。

【0041】図5は、遅延時間の算出工程S15が完了した状態での回路図を表している。すなわち、ルートクロックバッファ501からフリップフロップ回路506、507、508、509にクロック信号配線を配線した場合、ルートクロックバッファ501からフリップ

フリップ回路506, 507までの負荷に応じてクロックバッファ502, 504が挿入される。

【0042】同様にルートクロックバッファ501からフリップフリップ回路508, 509までの負荷に応じてクロックバッファ503, 505が挿入される。挿入されたクロックバッファ502からクロックバッファ504までの配線容量510と、クロックバッファ503からクロックバッファ505までの配線容量511はクロックスキューを最小にするために、等遅延配線工程S16を実行する。

【0043】図6は、上記の等遅延配線工程S16を実行した後のレイアウト図である。図6に示されているように、ルートクロックバッファ501からフリップフリップ回路506, 507までの配線経路とルートクロックバッファ501からフリップフリップ回路508, 509までの配線経路を比べると、図5に示したように挿入されたクロックバッファ502からクロックバッファ504までの配線601の配線負荷に合わせるために、クロックバッファ503からクロックバッファ505までの配線602は、クロックバッファ503とクロックバッファ505が近接配置されているにも関わらず、迂回配線されて配線601と同じ配線長になるように配線される。

【0044】次に、迂回配線の遅延時間算出工程S17において、クロック信号配線のスキュー調整のために配線された図6の迂回配線602の遅延時間を算出した後、抵抗の選定工程S18で算出された遅延時間を満足するような抵抗値を(5)式又はSPICEシミュレーションにより計算し、回路の接続情報の対応箇所にフィルセル抵抗103を追加する。

【0045】すなわち、図6に示す迂回配線602の配線長を短くし、かつフィルセル抵抗103を挿入して遅延時間が変化しないようなフィルセル抵抗103の抵抗値を算出し、回路上にこのフィルセル抵抗103を追加挿入する。

【0046】ここで、フィルセル抵抗103の抵抗値が異なるフィルセル100を、予めライブラリーに複数登録しておき、抵抗の選定工程S18で算出された抵抗値に最も近いフィルセル抵抗103を有するフィルセル100を選定し、ルートクロックバッファ501の所定内の距離、例えば300 $\mu$ ～500 $\mu$ の距離以内にあるフィルセルのレイアウト情報を選定したレイアウトフィルセル100のレイアウト情報に置き換える。

【0047】最小配線長の配線経路決定工程S19では、フィルセル100と配線を用いて、配線長が最小になる配線経路を決定する。

【0048】遅延時間計算工程S20では、最小配線長の配線経路決定工程S19で決定した配線経路での遅延時間を計算し、クロックスキュー値の判定工程S21によりクロックスキュー値が設定値より小さいか否かを判

定し、クロックスキュー値が設定値より小さければ、ステップS22で、本発明の半導体集積回路の自動配置配線方法の設計フローを終了し、クロックスキュー値が設定値よりも大きい場合は、抵抗の選定工程S18に戻って前に選定したフィルセル抵抗103と異なる抵抗値を有するフィルセル100を選定し、最小配線長の配線経路決定工程S19からクロックスキュー値の判定工程S21までの工程を実行する。

【0049】次に、本発明の半導体集積回路の自動配置配線方法における抵抗の選定工程S18を説明する図7と、最小配線長の配線経路決定工程S19を説明する図8を参照して、両工程について説明する。

【0050】図7は、図5に示す回路図において、クロックバッファ503とクロックバッファ505間とにフィルセル抵抗701を挿入した回路図を示している。配線容量510によって生じる遅延時間と同じ遅延時間を得るために、抵抗の選定工程S18で選定したフィルセル抵抗701を有するフィルセルを選び、クロックバッファ503とクロックバッファ505の間に挿入する。

【0051】図8は、図7に示す回路図を元に最小配線長の配線経路決定工程S19で、フィルセル100と配線を用いて配線長が最小になる配線経路を決定した後の各セルの配置と、クロック信号配線のレイアウトを示している。ここで、フィルセル抵抗801は、図7のフィルセル抵抗701のレイアウトをシンボル化して示している。

【0052】ここで、フィルセル抵抗801は前に説明したように、自動配置工程S11で自動的にセル領域内の空き領域に配置されたフィルセル100が選択されて使用される。

【0053】クロックバッファ503とクロックバッファ505との間を接続する配線802は、最小配線長で配線され、配線802に付随する配線容量とフィルセル抵抗801の抵抗値で、クロックバッファ503とクロックバッファ505間のクロックスキューを、クロックバッファ502とクロックバッファ504間のクロックスキューに等しくなるように調整している。配線802は図6の配線602と比較すると、大幅に迂回する配線の配線長が短くなっている。このため、本発明の半導体集積回路の自動配置配線方法は、同期回路においてクロックスキューの調整が自動的に可能であり、冗長の配線面積又は冗長のセル面積が小さいという効果がある。

【0054】さらに、フィルセル内のフィルセル抵抗を用いて遅延調整を行うので、チップ面積の縮小が可能である。

【0055】また、迂回配線が減少し、かつ配線長も短くなることで配線領域の混雑度が減少し、配線の収束性が向上する。このため、自動配線における設計期間が短縮するという効果が得られる。

【0056】次に、本発明の半導体集積回路の自動配置

配線方法及び半導体集積回路の第2の実施の形態について、図9を参照して説明する。

【0057】図9において、901、902は、クロックバッファ503とクロックバッファ505間に挿入したフィルセル抵抗であり、これらのフィルセル抵抗901、902を並列接続して、回路上の1抵抗素子を形成し、この抵抗でクロック信号配線のクロックスキューを調整している点が図8と異なっている。

【0058】本発明の半導体集積回路の自動配置配線方法及び半導体集積回路の第2の実施の形態は、図4の抵抗の選定工程S18で、ライブラリ登録されている標準のフィルセル抵抗103を組み合わせた抵抗を用いる点が特徴である。

【0059】自動配置配線用のライブラリに登録されているフィルセル100を構成するフィルセル抵抗単体だけでクロックスキューの調整が困難な場合、図9に示すフィルセル抵抗901、902を並列又は直列に接続して、クロックスキューを調整する。

【0060】このように、複数のフィルセル抵抗103を直列接続又は並列接続あるいは直列接続と並列接続の組み合わせにより、任意の抵抗値を有する抵抗が形成可能となるため、(5)式又はSPICEシミュレーションにより計算した抵抗値に殆ど等しく、複数のフィルセル抵抗103を合成することが可能である。これにより、図6に示す迂回配線602の長さをより短くすることができる。

【0061】また、本発明の半導体集積回路の自動配置配線方法及び半導体集積回路で用いるフィルセルとしては、図10(a)に示すフィルセル100Aを用いることも可能である。

【0062】図10(a)に示すフィルセル100Aは、図1に示すフィルセル100と同様に、電源配線部101、GND配線部102、Nウェル104、Pウェル105を備えている他、抵抗本体部1003a、抵抗コンタクト部1003b、1003dからなるフィルセル抵抗1003Aと、抵抗本体部1003a'、抵抗コンタクト部1003c、1003dからなるフィルセル抵抗1003Bとを備えている。

【0063】図10(a)～(d)に示すように、フィルセル100A内に複数のフィルセル抵抗1003A、1003Bを用意し、1つのフィルセル100Aで複数の抵抗値を作成することができる。これにより、クロックスキューを調整するフィルセル抵抗の可変幅を広げることができる。例えば、図10(b)の、フィルセル抵抗1003Aとフィルセル抵抗1003Bとを配線で並列接続する方法、図10(c)のフィルセル抵抗1003Aとフィルセル抵抗1003Bとを配線で直列接続する方法、図10(d)のフィルセル抵抗1003Aとフィルセル抵抗1003Bとをそれぞれ単独で使用方法など、配線の接続方法により種々の抵抗値を作成する

ことができる。

【0064】なお上記の説明では、1つのフィルセル内に1本又は2本のフィルセル抵抗をレイアウトした場合について説明したが、これに限らず、1つのフィルセル内に複数のフィルセル抵抗を用意しておき、これらのフィルセル抵抗を直列接続又は並列接続あるいは直列接続と並列接続の任意に組み合わせることも可能である。さらに、フィルセル抵抗を折り曲げてレイアウトしても良い。

【0065】また、ルートクロックバッファが2系統のクロック信号配線を駆動する場合についての説明したが、N(Nは3以上の整数)系統の場合に拡張することは容易に可能である。この場合、クロック信号配線長が最大のクロック信号配線に対しては、本発明によるフィルセルを挿入せず、他のM(Mは(N-1)以下の整数)系統のクロック信号配線に本発明によるフィルセルを挿入して、各クロック信号配線の遅延調整を行う。

【0066】また、フィルセルは自動配置工程S11で、水平方向に配列された複数のセル間の空き領域に配置されたと説明したが、最小配線長の配線経路決定工程S19で、図8のクロックバッファ503、505に近い水平方向に連続して配列された2つのセルを選択し、この2つのセル間を広げてこの間にフィルセルを挿入することも可能である。この方法によれば、フィルセルがクロックバッファ503とクロックバッファ505の直ぐ近くに配置されるので、配線802を確実に短くすることができる。

【0067】なお、フィルセルを上記のようにセル間に挿入した場合、配線の遅延時間が変化してしまうが、フィルセルが挿入されることにより移動するセルの移動距離は、高々フィルセルの横幅程度であるため短く、配線の遅延時間の変化量は少ない。

【0068】

【発明の効果】以上説明したように、本発明による半導体集積回路の自動配置配線方法及び半導体集積回路は、同期回路においてクロックスキューの調整が自動的に可能であり、冗長の配線面積又は冗長のセル面積が小さいという効果がある。

【0069】さらに、フィルセル内のフィルセル抵抗を用いて遅延調整を行うので、チップ面積の縮小が可能である。

【0070】また、迂回配線が減少し、かつ配線長も短くなることで配線領域の混雑度が減少し、配線の収束性が向上する。このため、自動配線における設計期間が短縮するという効果が得られる。

【0071】また、フィルセル抵抗単体は、標準化されてライブラリ登録されているが、ライブラリから標準化されたフィルセル抵抗を複数選択して組み合わせることにより、精度良くクロックスキューを調整することができる。

【0072】また、1つのフィルセル内に複数のフィルセル抵抗を用意しておき、これらのフィルセル抵抗を直列接続又は並列接続あるいは直列接続と並列接続の任意の組み合わせることで、多様な抵抗値を小さい面積で構成することができる。

【0073】このように抵抗を組み合わせることにより、多数の抵抗値を有する抵抗を生成する技術思想は従来からあるが、本発明では、従来の半導体集積回路の自動配置配線方法及び半導体集積回路において、デッドスペース化していたフィルセル内にフィルセル抵抗を設けて、さらに面積効率を向上させている。

#### 【図面の簡単な説明】

【図1】図1(a)は、本発明の半導体集積回路の自動配置配線方法及び半導体集積回路で用いるフィルセル100のレイアウト図であり、図1(b)は、本発明によるフィルセルを同一高さを有するセル111~117の間にレイアウトしたレイアウト図である。

【図2】Elmore遅延モデルによる遅延時間の計算方法を説明するための等価回路図である。

【図3】本発明の半導体集積回路の自動配置配線方法及び半導体集積回路において、フィルセル301を図2の等価回路に挿入した回路図である。

【図4】本発明の半導体集積回路の自動配置配線方法を表すフローチャートである。

【図5】本発明の半導体集積回路の自動配置配線方法における遅延時間の算出工程S15が完了した状態での回路図である。

【図6】遅延時間の算出工程S15が完了した後の図5に示す回路図のレイアウト図である。

【図7】図5に示す回路図において、クロックバッファ503とクロックバッファ505間とにフィルセル抵抗701を挿入した回路図である。

【図8】図7に示す回路図を元に最小配線長の配線経路

決定工程S19で、フィルセル抵抗801と配線を用いて配線長が最小になる配線経路を決定した後の各セルの配置と、クロック信号配線の配置を表すレイアウト図である。

【図9】本発明の半導体集積回路の自動配置配線方法及び半導体集積回路の第2の実施の形態を表すレイアウト図である。

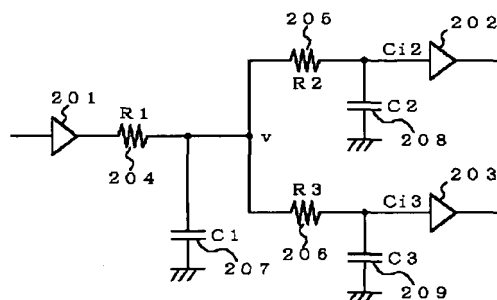
【図10】図10(a)は本発明による他のフィルセルを示すレイアウト図であり、図10(b)~図10(d)は、図10(a)に示すフィルセル抵抗を用い配線の接続方法を変えたレイアウト図である。

【図11】第1の従来の半導体集積回路の自動配置配線方法を説明するためのレイアウト図である。

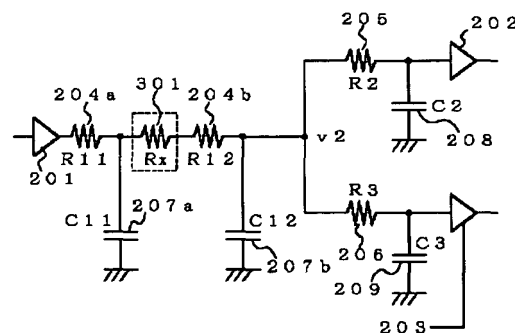
#### 【符号の説明】

100, 100A, 100B, 100C, 301 フィルセル  
 101 電源配線部  
 102 GND配線部  
 103, 701, 801, 901, 902 フィルセル抵抗  
 103a, 1003a, 1003a' 抵抗本体部  
 103b, 103c, 1003b, 1003c, 1003d 抵抗コンタクト部  
 104 Nウェル  
 105 Pウェル  
 111~117 同一高さを有するセル  
 201~203, 502~505 クロックバッファ  
 204~206, 204a, 204b 配線抵抗  
 207~209, 207a, 207b, 510, 511 配線容量  
 501 ルートクロックバッファ  
 506~509 フリップフロップ回路  
 601, 602, 802 配線

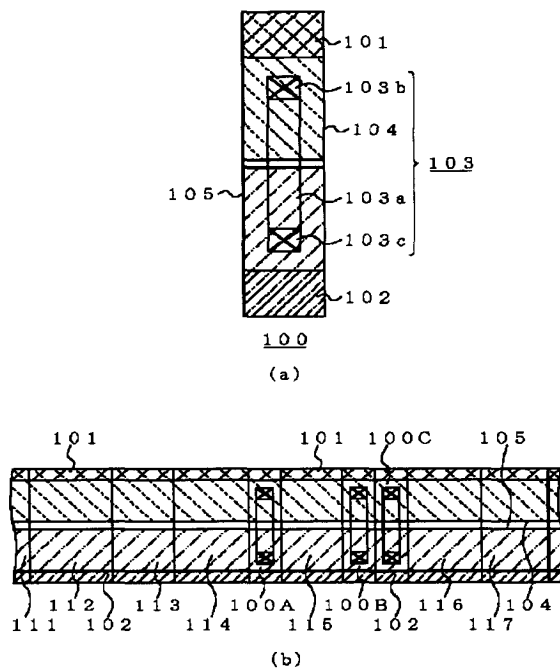
【図2】



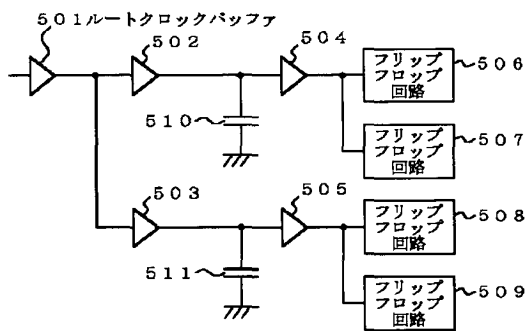
【図3】



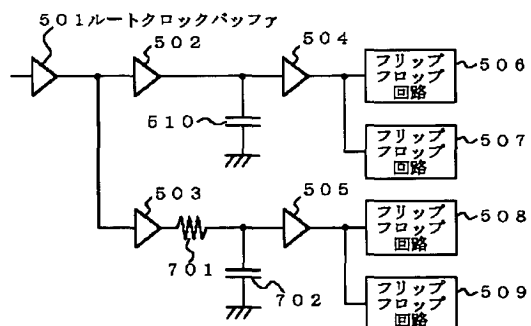
【図 1】



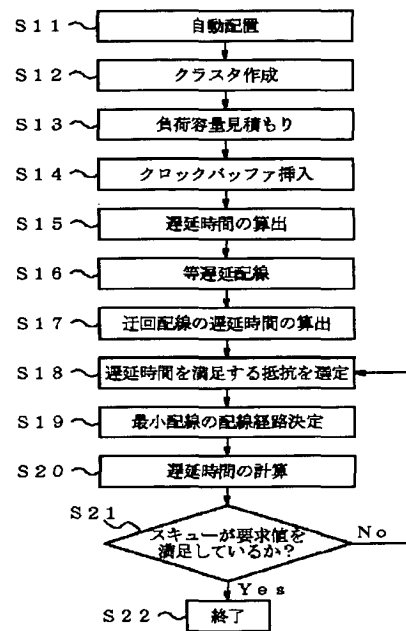
【図5】



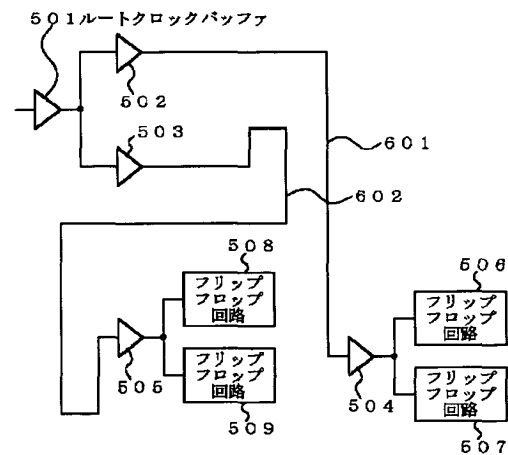
【図7】



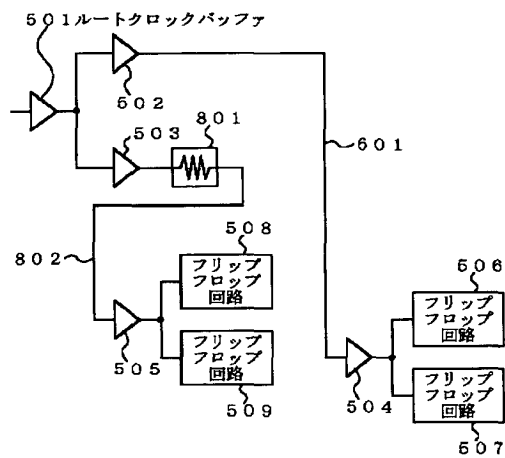
【図4】



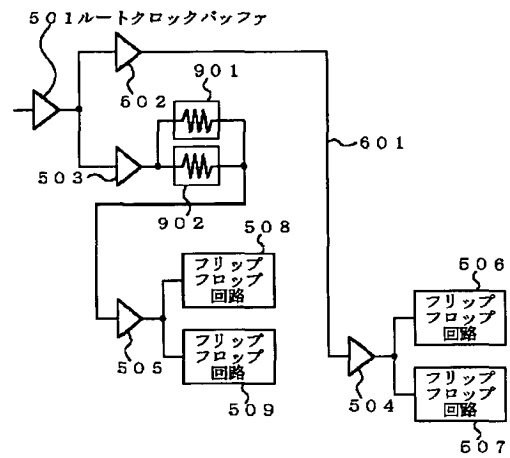
【図6】



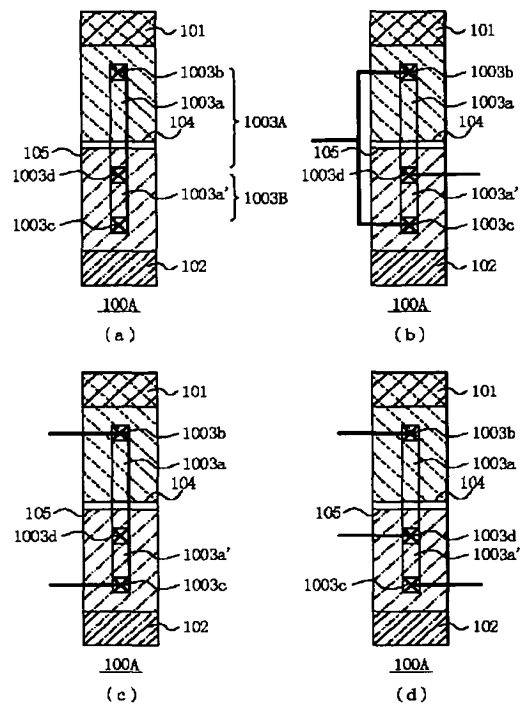
【図8】



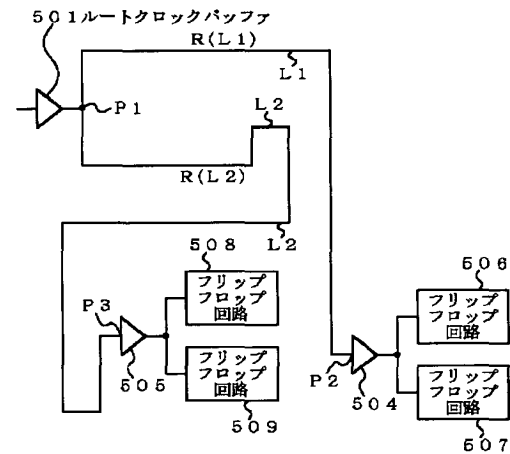
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5B046 AA08 BA05 BA06 JA02  
 5F064 BB26 BB28 CC22 DD02 DD10  
 DD14 DD26 EE02 EE03 EE08  
 EE43 EE47 EE52 EE54 HH10  
 HH12